

BEST AVAILABLE COPY

Q64308
ST FOURIER TRANSFORMING APPARATUS
AND METHOD THEREOF FOR COMPENSATING
FOR OFDM OUTPUT...
Filed: October 10, 2001
Darryl Mexic 202-293-7060
1 of 1

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 66861 호
Application Number

출원년월일 : 2000년 11월 10일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

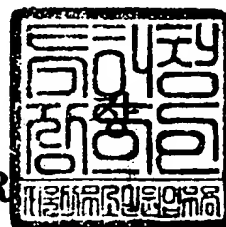
CERTIFIED COPY OF
PRIORITY DOCUMENT



2000 년 12 월 19 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0002
【제출일자】 2000.11.10
【발명의 명칭】 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치 및 방법
【발명의 영문명칭】 A fast fourier transforming apparatus and A method for compensating OFDM output bit signal
【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3
【대리인】
【성명】 정홍식
【대리인코드】 9-1998-000543-3
【포괄위임등록번호】 2000-046970-1
【발명자】
【성명의 국문표기】 이정상
【성명의 영문표기】 LEE, JEONG SANG
【주민등록번호】 720304-1448811
【우편번호】 135-240
【주소】 서울특별시 강남구 개포동 12 대치아파트 214동 201호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 정홍식 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 11 면 11,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 40,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 위임장_1통

【요약서】**【요약】**

본 발명은 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치 및 방법에 관한 것으로서, 입력된 오에프디엠 비트 신호를 저장하는 입력 버퍼부와, 레딕스 알고리즘에 따라 각 스테이지마다 버터플라이 연산을 수행하는 버터플라이 수행부를 포함하는 고속 퓨리에 변환 장치에 있어서, 버터플라이 수행부로부터 입력된 각 스테이지마다 버터플라이 연산된 신호의 비트값을 입력 버퍼부에 입력된 오에프디엠 신호의 비트 허용 범위값 내로 조절하기 위한 나눗셈 인수인 스케일 팩터를 산출하여 출력하는 스케일 검출부와, 스케일 검출부로부터 입력된 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력하는 스케일 카운트부, 및 버터플라이 수행부로부터 출력된 신호를 스케일 검출부와 스케일 카운트부로부터 출력된 값에 따라 비트 값을 조절하는 보상부로 구성된다. 본 발명에 의하면, 고속 퓨리에 변환 장치내에서 스케일 팩터와 스케일 카운트 값을 산출함으로써 입력된 비트 신호에 대하여 보다 정확한 신호의 비트 값을 산출할 수 있다.

【대표도】

도 2

【색인어】

오에프디엠, 고속 퓨리에 변환, 버터플라이, 레딕스, 스케일

【명세서】

【발명의 명칭】

오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치 및 방법{A fast fourier transforming apparatus and A method for compensating OFDM output bit signal}

【도면의 간단한 설명】

도 1a 내지 1b는 종래 출력 비트 신호 보상을 위한 방법을 도시한 플로우도.

도 2는 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치를 도시한 블록도.

도 3은 도 2의 스케일 검출부의 스케일 팩터 산출 과정을 도시한 플로우도.

도 4는 도 2의 보상부를 상세히 나타낸 세부 블록도.

도 5는 도 4의 제/승 선택부에 대한 제/승 선택 과정을 도시한 플로우도.

도 6은 도 4의 계수 산출부에 대한 계수 산출 과정을 도시한 플로우도.

도 7은 도 4의 제/승 산출부에 대한 제/승 산출 과정을 도시한 플로우도.

도 8은 도 4의 비트 보상부에 대한 비트 신호 보상 과정을 도시한 플로우도.

도면의 주요 부분에 대한 부호의 설명

31 : 제어부

33 : 입력 버퍼부

35 : 제 1연산부

37 : 버터플라이 수행부

39 : 스케일 검출부

41 : 스케일 카운트부

43 : 보상부

45 : 출력 버퍼부

51 : 제/승 선택부

53 : 계수 산출부

55 : 제 2연산부

57 : 제/승 산출부

58 : 비트 보상부

59 : 가산부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <17> 본 발명은 오에프디엠 변조 신호를 수신하여 원래의 신호로 복원하는데 사용되는 고속 푸리에 변환 장치에 관한 것으로서, 보다 상세하게는 고속 푸리에 변환 장치에 입력되는 데이터 량과 동일한 출력 데이터 량을 산출하기 위한 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치 및 방법에 관한 것이다.
- <18> 오에프디엠(OFDM; Orthogonal Frequency Division Multiplexing) 변조 즉, 직교 주파수 분할 다중 변조는 시간축에 따라 직렬로 입력된 데이터를 병렬로 변환하여 역푸리에 변환(IFFT; Inverse Fast Fourier Transform)을 수행한 후, 직렬로 다시 변환하여 수신단으로 전송하는 변조방식이다.
- <19> 오에프디엠 변조 신호의 수신단에서는 먼저 입력된 신호를 디지털 신호로 변환한다. 이때 디지털 변환된 신호는 일정한 비트 단위로 고속 푸리에 변환(FFT; Fast Fourier Transform)하여 원 신호로 복원하게 된다.
- <20> 여기서, 푸리에 변환을 수행 하는 고속 푸리에 변환 장치(미도시)에서는 레디스(radix) 알고리즘을 통한 버터플라이(butterfly) 연산을 수행하기 위해 버터플라이 수행부(미도시)를 삽입하게 된다.
- <21> 한편, 버터플라이 연산은 레디스 알고리즘에 따른 포워드(forward) 및 인버스

(inverse) 버터플라이 연산 즉, 양의 연산과 음의 연산을 통한 교차 연산을 하게 되며, 입력된 신호는 아래 [수학식 1]과 같이 입력된 신호에 대한 버터플라이 연산을 수행하는데 필요한 설정된 스테이지 수(n)만큼 반복하여 버터플라이 연산을 하게 된다. 여기서 N은 입력된 비트 신호를 버터플라이 연산하는데 필요한 포인트 수이다.

<22> 【수학식 1】

$$n = \log_2 N$$

<23> 각 스테이지마다 버터플라이 연산에 의해 산출된 비트 신호는 버터플라이 수행부에 입력된 비트 신호보다 증폭된 비트 값을 출력하게 되는데, 이러한 증폭도는 각 스테이지의 버터플라이 연산을 수행할때 마다 입력된 비트 신호에 대한 $\sqrt{2}$ 배 만큼 증폭되어 출력된다. 따라서, 입력 신호에 대한 원 신호를 복원하기 위해서는 버터플라이 수행부에 입력되는 신호의 비트 값과 동일한 비트 신호를 고속 푸리에 변환 장치에서 출력할 수 있도록 해야한다.

<24> 도 1a 내지 도 1b는 종래 오에프디엠 출력 비트 신호 보상하는 단계를 도시한 플로우도이다.

<25> 도 1a를 참조하면 입력 신호에 대한 각 스테이지의 버터플라이 연산이 끝날 때마다 산출된 값을 $\sqrt{2}$ 로 나누어 주어 출력 신호 증폭을 보상하는 것을 보여주고 있다(S11 내지 S20). 이러한 방법은 스테이지가 끝날때마다 매 번 $\sqrt{2}$ 연산을 수행하기 때문에 연산량이 많아지게 되며, 입력된 신호에 대한 오류를 고려하지 않은 고정된 연산을 하기 때문에 스테이지가 증가할수록 오차가 커지게 되는 문제가 있다.

<26> 도 1b를 참조하면 입력된 신호에 대한 설정된 스테이지 수(n)의 버터플라이 연산이

끝나면 \sqrt{n} 으로 나누어 주어 출력 신호 증폭을 보상하는 것을 보여주고 있다(S21 내지 S27). 이러한 방법은 입력된 신호에 대한 오류를 고려하지 않은 고정된 연산을 하기 때문에 스테이지가 증가할수록 오차가 커지게 되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 고속 푸리에 변환 장치의 입력단에 입력되는 비트 값에 따라 푸리에 변환되어 출력되는 비트 값의 크기를 허용 범위 값 내로 조절하기 위한 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치 및 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<28> 상기와 같은 목적을 달성하기 위해 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치는 입력된 오에프디엠 비트 신호를 저장하는 입력 버퍼부와, 레딕스 알고리즘에 따라 각 스테이지마다 버터플라이 연산을 수행하는 버터플라이 수행부를 포함하는 고속 푸리에 변환장치에 있어서, 버터플라이 수행부로부터 입력된 각 스테이지마다 버터플라이 연산된 신호의 비트값을 입력 버퍼부에 입력된 오에프디엠 신호의 비트 허용 범위값 내로 조절하기 위한 나눗셈 인수인 스케일 팩터를 산출하여 출력하는 스케일 검출부와, 스케일 검출부로부터 입력된 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력하는 스케일 카운트부 및 상기 스케일 검출부와 상기 스케일 카운트부에서 입력된 값에 따라 상기 버터플라이 수행부로부터 입력된 신호의 비트를 조절하여 출력하는 보상부를 포함하여 구성된다.

<29> 여기서 보상부는 상기 설정된 스테이지의 마지막 스테이지에서 버터플라이 연산되

어 출력된 신호의 비트값을, 마지막 스테이지에서 산출된 스케일 팩터로 나누어 출력하는 제 2연산부와, 설정된 스테이지 수와 스케일 카운트부의 출력값을 비교하여 차이값 산출 및 스테이지수와 스케일 카운트부의 출력값을 비교하여 제산/승산을 선택하여 출력하는 제/승 선택부와, 제/승 선택부로부터 입력된 차이값을 2로 나눈 몫(Q)과 나머지(R)를 산출하여 출력하는 계수 산출부와, 제/승 선택부로부터 입력된 데이터가 제산 연산을 하도록 하면 상기 제 2연산부로부터 입력된 값을 2^Q 로 나누고, 승산 연산을 하도록 하면 상기 제 2연산부로부터 입력된 값에 2^Q 를 곱하여 산출된 값을 출력하도록 하는 제/승 산출부와, 제/승 선택부에서 입력된 데이터와 계수 산출부로부터 입력된 나머지(R)에 따라 제/승 산출부로부터 입력된 값의 비트를 보상하여 출력하는 비트 보상부 및 비트 보상부로부터 입력된 데이터를 합산하여 출력하는 가산부를 포함하여 구성된다.

<30> 한편, 상기와 같은 목적을 달성하기 위해 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 방법은 수신된 오에프디엠 비트 신호를 저장하여 출력하는 입력 버퍼 단계와, 입력된 신호를 스케일 팩터로 나누어 출력하는 제 1연산 단계와, 입력된 데이터를 레딕스 알고리즘에 따라 각 스테이지마다 버터플라이 연산을 수행하여 출력하는 버터플라이 수행 단계와, 입력된 각 스테이지마다 버터플라이 연산된 신호의 비트값을 상기 입력 버퍼 단계에 입력된 오에프디엠 신호의 비트 허용범위값 내로 조절하기 위한 나눗셈 인수인 스케일 팩터를 산출하는 스케일 검출 단계와, 입력된 비트 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력하는 스케일 카운트 단계와, 상기 입력 버퍼 단계 내지 스케일 카운트 단계를 설정된 스테이지가 될때까지 피드백하는 단계; 및 입력된 상기 스케일 검출 값과 상기 스케일 카운트 값을 통하여 설정된 스테이지의 마지막 스테이지에서 산출된 버터플라이 산출 값을 조절하여 출력하는 보상

단계;를 포함하여 구성된다.

<31> 이하, 도면을 참조하여 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치 및 방법에 대하여 설명하기로 한다.

<32> 도 2는 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치를 도시한 블록도이다.

<33> 도면을 참조하면 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치는 데이터의 통로인 버스(30), 입력단에 위치하여 입력된 신호를 저장하는 입력 버퍼부(33), 버터플라이 연산을 수행하는 버터플라이 수행부(37)를 구비한 고속 퓨리에 변환 장치에 있어서, 버터플라이 수행부(37)로부터 입력된 신호의 비트값을 입력 버퍼부(33)에 입력된 오에프디엠 신호의 비트 허용 범위값 내로 조절하기 위한 스케일 팩터를 산출하여 출력하는 스케일 검출부(39), 스케일 검출부(39)로부터 입력된 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력하는 스케일 카운트부(41), 스케일 검출부(39)와 스케일 카운트부(41)에서 입력된 값에 따라 버터플라이 수행부(37)로부터 입력된 신호의 비트를 조절하여 출력하는 보상부(43)를 포함하여 구성되어 있다.

<34> 한편, 입력 버퍼부(33)와 버터플라이 수행부(37) 사이에 제 1연산부(35)를 삽입하여 스케일 검출부(39)로부터 입력된 스케일 팩터를 고려하여 버터플라이 연산을 수행할 수 있도록, 후 입력된 신호의 비트 값을 선 입력된 신호에 대한 스케일 팩터로 나누어 산출된 값을 출력하도록 한다. 또한 출력단에 출력 버퍼부(45)를 삽입하여 각 스테이지마다 버터플라이 수행부(37)로부터 출력된 신호를 저장하도록 하며, 버스(30)를 통한 데이터의 흐름을 제어할 수 있는 제어부(31)를 연결하여 버터플라이 연산의 설정된 스테이지 수(n)에 도달할 때까지 출력 버퍼부(45)에 저장된 신호를 입력 버퍼부(33)에 피드백

되게 하고, 설정된 스테이지 수(n)의 마지막 스테이지에서 버터플라이 수행되어 산출된 신호는 보상부(43)에 출력하도록 한다.

<35> 이하 본 발명에 따른 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치의 바람직한 실시예에 대하여 설명하기로 한다.

<36> 본 발명의 실시예에서는 레디스-2(radix-2) 알고리즘에 따라 버터플라이 연산을 수행하도록하고 제어부(31)에 의하여 입력 버퍼부(33)에 8비트씩 입력($I = 8 \text{ bit}$)하도록 하며 스케일 검출부(39)의 적용 비트 범위를 12비트로 설정하도록 한다.

<37> 도 3은 도 2의 스케일 검출부(39)에 대한 스케일 팩터 산출과정을 도시한 플로우도로서, 먼저 버터플라이 수행부(37)로부터 출력된 버터플라이 연산된 신호의 비트 값(V_o)과 입력 버퍼부(33)에 입력된 신호의 비트 값(I)을 입력받는다(S31). 다음으로 버터플라이 연산된 신호의 비트 값(V_o)에 대한 절대값($|V_o|$)이 1024 이상 인지를 판단한다(S32). 만약 1024 이상이면 스케일 검출부(39)에 의해 입력된 오에프디엠 비트 신호의 허용 범위값 내로 조절하기 위한 나눗셈 인수인 스케일 팩터(S_f)를 4로 설정한다(S33). 한편 절대값($|V_o|$)이 1024 미만이면 512 이상인지를 판단한다(S34). 만약 512 이상이면 스케일 팩터(S_f)를 2로 설정(S35)하고 512 미만이면 1로 설정한다(S36). 이렇게 설정된 스케일 팩터(S_f)는 제어부(31)에 의해 제 1연산부(35)에 출력하고 설정된 스테이지 수(n)의 마지막 스케일 팩터(S_{fn})는 제 1연산부(35)와 보상부(43)에 출력한다.

<38> 도 4는 도 2의 보상부(43)를 상세히 나타낸 세부 블록도이다.

<39> 도면을 참조하면 보상부(43)는 설정된 스테이지 수(n)의 마지막 스테이지에서 버터플라이 연산된 값(V_a)을 마지막 스케일 팩터(S_{fn})로 나누어 출력하는 제 2연산부(55)와,

설정된 스테이지 수(n)와 스케일 카운트(Sc)의 차이값(L) 산출 및 제산/승산 선택을 설정하여 출력하는 제/승 선택부(51)와, 입력된 차이 값(L)으로부터 입력 비트 신호의 보상에 필요한 계수를 산출하는 계수 산출부(53)와, 입력된 데이터로부터 제 2연산부(55)에서 입력된 값에 대한 선택된 제/승 연산(D)을 수행하여 값을 산출하는 제/승 산출부(57)와, 입력된 데이터에 대한 비트를 보상한 값(t)을 산출하여 비트 보상부(58) 및 비트 보상부(58)로부터 입력된 데이터(t)를 합산하여 출력하는 가산부(59)를 포함한다.

<40> 이와 같이 구성된 보상부(43)에서 제 2연산부(55)는 설정된 스테이지 수(n)의 마지막 스테이지에서 버터플라이 연산되어 출력된 신호의 비트값(V_a)을 마지막 스테이지에서 산출된 스케일 팩터(S_{fn})로 나누어 산출된 값($S_i = V_a / S_{fn}$)을 출력한다.

<41> 제/승 선택부(51)는 설정된 스테이지 수(n)와 스케일 카운트부(41)의 출력 값(Sc)을 비교하여 아래[수학식 2]와 같은 두 값의 차이값(L)을 산출하고, 스테이지 수(n)와 스케일 카운트부(41)의 출력 값(Sc)을 비교하여 제산/승산 연산(D)을 선택하도록 설정한다. 만약 스테이지 수(n)가 크면 제산(D1), 스케일 카운트부(41)의 출력 값(Sc)이 크면 승산(D2) 연산을 선택하여 출력한다.

<42> 【수학식 2】

$$L = |Sc - n|$$

<43> 계수 산출부(53)는 아래 [수학식 3]과 같이 제/승 선택부(51)로부터 입력된 차이값(L)을 2로 나눈 몫(Q)과, 나머지(R)를 산출하여 출력한다.

<44> 【수학식 3】

$$L/2 = 2Q + R$$

<45> 제/승 산출부(57)는 아래[수학식 4]와 같이 제/승 선택부로부터 입력된 데이터(D)가 제산(D1) 연산을 하도록 하면 상기 제 2연산부(55)로부터 입력된 값(Si)을 2^Q 로 나누고, 승산(D2) 연산을 하도록 하면 상기 제 2연산부(55)로부터 입력된 값(Si)에 2^Q 를 곱하여 산출된 값(So)을 출력하도록 한다.

<46> 【수학식 4】

$$So = Si \times 1/2^Q \quad (\text{만약, } D = D1 \text{ 이면})$$

<47> $So = Si \times 2^Q$ (만약, $D = D2$ 이면)

<48> 비트 보상부(58)는 제/승 산출부(57)로부터 출력된 데이터(So)에 대하여 [수학식 3]에 나타난 나머지(R)가 1이 아니면, 제/승 산출부(57)로부터 출력된 데이터(So)를 그대로 가산부(59)에 출력하도록 한다.

<49> 한편 제/승 산출부(57)로부터 출력된 데이터(So)에 대하여 [수학식 3]에 나타난 나머지(R)가 1이면서 제산(D1) 연산을 수행 하도록하면 아래 [수학식 5]와 같이 제/승 산출부(57)로부터 입력된 데이터(So)에 각각 $1/2$, $1/8$, $1/16$, $1/64$ 을 곱하여 산출한 값(t_{11} , t_{12} , t_{13} , t_{14})을 가산부(59)에 출력하도록 한다.

<50> 【수학식 5】

$$t_{11} = So \times 1/2$$

<51> $t_{12} = So \times 1/8$

<52> $t_{13} = So \times 1/16$

<53> $t_{14} = So \times 1/64$

<54> 또한 제/승 산출부(57)로부터 출력된 데이터(So)에 대하여 [수학식 3]에 나타난 나

머지(R)가 1이면서 승산(D2) 연산을 수행 하도록하면 아래 [수학식 6]과 같이 제/승 산출부(57)로부터 입력된 데이터(So)에 각각 1, 1/4, 1/8, 1/32을 곱하여 산출한 값($t = t_{21}, t_{22}, t_{23}, t_{24}$)을 가산부(59)에 출력하도록 한다.

<55> 【수학식 6】

$$t_{21} = S_o$$

<56> $t_{22} = S_o \times 1/4$

<57> $t_{23} = S_o \times 1/8$

<58> $t_{24} = S_o \times 1/32$

<59> 가산부(59)는 아래 [수학식 7]과 같이 비트 보상부(58)로부터 출력된 데이터(t)를 합산한 입력 버퍼부(33)에 입력된 비트값에 대한 허용 범위 값을 산출하여 출력하도록 한다.

<60> 【수학식 7】

$$t = t_{11} + t_{12} + t_{13} + t_{14}$$

<61> $t = t_{21} + t_{22} + t_{23} + t_{24}$

<62> 도 5는 도 4의 제/승 선택부(51)에 대한 제/승 선택 과정을 도시한 플로우도로서, 먼저 제/승 선택부(51)는 설정된 스테이지 수(n)와 스케일 카운트 값(S_c)을 입력 받는다(S61). 다음으로 입력된 값에 대한 비트 값의 크기를 비교 판단한다(S63). 만약 설정된 스테이지 수(n)가 크면 설정된 스테이지 수(n)에서 스케일 카운트 값(S_c)을 감산한 값(L)을 산출하고 제산(D1) 연산을 하도록 설정한다(S65). 한편 설정된 스테이지 수(n)가 작으면 스케일 카운트 값(S_c)에서 설정된 스테이지 수(n)를 감산한 값(L)을 산출하고 승

산(D2) 연산을 하도록 설정한다(S67).

<63> 도 6은 도 4의 계수 산출부(53)에 대한 계수 산출 과정을 도시한 플로우도로서, 먼저 계수 산출부(53)는 스케일 카운트 값(Sc)과 설정된 스테이지 수(n)의 차이값(L)을 입력받는다(S71). 다음으로 입력된 차이값(L)을 2로 나눈 몫(Q)과 나머지(R)를 산출한다(S73). 이렇게 산출된 값에서 몫(Q)은 제/승 산출부(57)로 출력하고 나머지(R)는 비트 보상부(58)로 출력한다(S75).

<64> 도 7은 도 4의 제/승 산출부(57)에 대한 제/승 산출 과정을 도시한 플로우도로서, 제 2연산부(55)로부터 출력된 데이터(Si)와 계수 산출부(53)로부터 출력된 몫(Q) 및 제/승 선택부(51)로부터 출력된 제/승 선택 데이터(D)를 입력받는다(S81). 입력된 데이터(Si , Q , D)로부터 제산($D1$) 연산 선택 여부를 판단한다(S83). 만약 제산($D1$) 연산 설정이면 제 2연산부(55)로부터 출력된 데이터(Si)를 2^Q 으로 나눈 값(So)을 산출한다(S85). 한편 제산($D1$) 연산 설정이 아니면 제 2연산부(55)로부터 출력된 데이터(Si)에 2^Q 를 곱한 값(So)을 산출한다(S87).

<65> 도 8은 도 4의 비트 보상부(58)에 대한 비트 신호 보상 과정을 도시한 플로우도로서, 제/승 선택부(51)로부터 출력된 제/승 선택 데이터(D)와 계수 산출부(53)로부터 출력된 나머지(R) 및 제/승 산출부(57)로부터 출력된 비트 신호(So)를 입력받는다(S91). 입력된 값으로부터 나머지(R)가 1인지의 여부를 판단한다(S93). 만약 나머지(R)가 1이 아니면 제/승 산출부(57)로부터 출력된 비트 신호(So)를 그대로 출력한다(S95). 한편 나머지(R)가 1이 아니면 제산($D1$) 연산인지의 여부를 판단한다(S97). 이때 제산($D1$) 연산을 선택하도록 설정되어 있으면

제/승 산출부(57)로부터 출력된 비트 신호(S_o)에 대하여 $t_{11} = S_o \times 1/2$, $t_{12} = S_o \times 1/8$, $t_{13} = S_o \times 1/16$, $t_{14} = S_o \times 1/64$ 를 각각 산출하여 출력한다(S98). 또한 승산(D2) 연산을 선택하도록 설정되어 있으면 제/승 산출부(57)로부터 출력된 비트 신호(S_o)에 대하여 $t_{21} = S_o$, $t_{22} = S_o \times 1/4$, $t_{23} = S_o \times 1/8$, $t_{24} = S_o \times 1/32$ 를 각각 산출하여 출력한다(S99).

<66> 이러한 일련의 과정을 통하여 입력 버퍼부(33)에 입력된 신호는 버터플라이 수행부(37)를 지나면서 증폭되어 출력되지만, 버터플라이 연산에 대한 스케일 팩터(S_f)와 스케일 카운트 값(S_c)에 의해 출력값을 설정함으로서, 입력 버퍼부(33)에 입력된 신호의 적용 범위에 해당하는 비트 신호를 산출할 수 있게 된다.

【발명의 효과】

<67> 본 발명의 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치에 의하면, 버터플라이 연산된 신호로부터 산출한 스케일 팩터와 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력한 스케일 카운트에 의하여 입력된 오에프디엠 비트 신호의 증폭 정도를 산출할 수 있다. 또한, 스케일 조절을 통하여 입력단에 입력된 비트 신호의 증/감을 정도를 측정할 수 있기때문에 수신된 신호를 복원한 값이 입력된 비트 신호의 적용 범위 내로 조절 하는 것이 가능하다. 한편, 버터플라이 연산된 신호에 대한 스케일 팩터를 각 스테이지마다 측정하기 때문에 유동적인 스케일 팩터 및 스케일 카운트 값 산출이 가능하기 때문에 입력 비트 신호에 대한 보다 정확한 비트 신호를 산출하는 것이 가능하다.

<68> 이상에서는 본 발명에서 특정의 바람직한 실시예에 대하여 도시하고 또한 설명하였다. 그러나, 본 발명은 상술한 실시예에 한정되지 아니하며, 특허 청구의 범위에서 청구

하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

입력된 오에프디엠 비트 신호를 저장하여 출력하는 입력 버퍼부와, 레딕스 알고리즘에 따라 각 스테이지마다 버터플라이 연산을 수행하여 출력하는 버터플라이 수행부를 포함하는 고속 푸리에 변환장치에 있어서,

상기 버터플라이 수행부로부터 입력된 각 스테이지마다 버터플라이 연산된 신호의 비트값을 상기 입력 버퍼부에 입력된 오에프디엠 신호의 비트 허용 범위값내로 조절하기 위한 나눗셈 인수인 스케일 팩터를 산출하여 출력하는 스케일 검출부;

상기 스케일 검출부로부터 입력된 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력하는 스케일 카운트부; 및

상기 스케일 검출부와 상기 스케일 카운트부에서 입력된 값에 따라 상기 버터플라이 수행부로부터 입력된 신호의 비트를 조절하여 출력하는 보상부;를 구비한 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치.

【청구항 2】

제 1항에 있어서,

상기 스케일 검출부로부터 입력된 상기 스케일 팩터를 고려하여 버터플라이 연산을 수행할 수 있도록, 후 입력된 신호의 비트값을 상기 스케일 팩터로 나누어 산출된 값을 출력하는 제 1연산부;를 더 구비한 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치.

【청구항 3】

제 1항에 있어서,

상기 각 스테이지마다 버터플라이수행부로부터 출력된 신호를 저장하는 출력 버퍼부;

버터플라이 연산의 설정된 스테이지 수에 도달할 때까지 상기 출력 버퍼부에 저장된 신호를 상기 입력 버퍼부에 피드백시키고, 상기 설정된 스테이지의 마지막 스테이지에서 버터플라이 수행되어 산출된 신호는 상기 비트 보상부에 출력하는 제어부;를 더 구비한 것을 특징으로하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 4】

제 3항에 있어서,

상기 버터 플라이 수행부에 레딕스-2를 적용할 경우,

상기 제어부는 상기 입력 버퍼부에 오에프디엠 비트 신호를 8비트씩 입력되도록 하며 상기 스케일 검출부의 적용 비트를 12비트로 설정하도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 5】

제 4항에 있어서,

상기 스케일 검출부의 스케일 팩터 설정은 상기 버터플라이 연산된 비트값이 8비트를 유지할 수 있도록, 상기 버터 플라이 연산되어 출력된 비트 신호의 절대값이 1024 이

상이면 4로, 512 이상이면 2로, 256 이면 1로 설정하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 6】

제 5항에 있어서,

상기 스케일 카운트부는 상기 스케일 검출부로부터 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하는데 있어서 상기 스케일 팩터가 4 이면 4가, 2 이면로 2가, 1 이면 0이 카운트 계수값으로 적용되도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 7】

제 1항에 있어서,

상기 보상부는 상기 버터플라이 연산에 대하여 설정된 스테이지 수와, 상기 스케일 카운트부로부터 입력된 값의 차이 만큼 상기 입력 버퍼부에 입력된 신호의 비트값을 보상하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 8】

제 7항에 있어서,

상기 보상부는 상기 설정된 스테이지의 마지막 스테이지에서 버터플라이 연산되어 출력된 신호의 비트값을, 상기 마지막 스테이지에서 산출된 스케일 팩터로 나누어 출력하는 제 2연산부;

상기 설정된 스테이지 수와 상기 스케일 카운트부의 출력값을 비교하여 차이값을

산출하고, 상기 스테이지수와 상기 스케일 카운트부의 출력값을 비교하여 상기 스테이지수가 크면 제산, 상기 스케일 계수부의 출력값이 크면 승산 연산을 선택하여 출력하는 제/승 선택부;

상기 제/승 선택부로부터 입력된 상기 차이값을 2로 나눈 몫(Q)과, 나머지(R)를 산출하여 출력하는 계수 산출부;

상기 제/승 선택부로부터 입력된 데이터가 제산 연산을 하도록 하면 상기 제 2연산부로부터 입력된 값을 2^Q 로 나누고, 승산 연산을 하도록 하면 상기 제 2연산부로부터 입력된 값에 2^Q 를 곱하여 산출된 값을 출력하도록 하는 제/승 산출부;

상기 제/승 선택부에서 입력된 데이터 및 상기 계수 산출부로부터 입력된 나머지(R)에 따라 상기 제/승 산출부로부터 입력된 값의 비트를 보상하여 출력하는 비트 보상부;

상기 비트 보상부로부터 입력된 데이터를 합산하여 출력하는 가산부;를 구비한 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 9】

제 8항에 있어서,

상기 비트 보상부는 상기 스케일 카운트값과 상기 설정된 스테이지수의 차이값을 2로 나눈 나머지(R)가 1이 아니면, 상기 제/승 산출부로부터 입력된 데이터를 그대로 상기 가산부에 출력하도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 장치.

【청구항 10】

제 8항에 있어서,

상기 비트 보상부는 상기 나머지(R)가 1이면서 제산 연산을 수행하도록하면 상기 제/승 산출부로부터 입력된 데이터에 각각 $1/2$, $1/8$, $1/16$, $1/64$ 을 곱하여 산출한 값을 상기 가산부에 출력하도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치.

【청구항 11】

제 8항에 있어서,

상기 보상부는 상기 나머지(R)가 1이면서 곱셈 연산을 수행하도록하면 상기 제/승 산출부로부터 입력된 데이터에 각각 1 , $1/4$, $1/8$, $1/32$ 을 곱하여 산출한 값을 상기 가산부에 출력하도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치.

【청구항 12】

제 8항에 있어서,

상기 가산부는 상기 비트 보상부로부터 각각 입력된 네개의 값을 합산하여 상기 입력된 신호의 비트를 보상하도록 하는 특징으로하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 장치.

【청구항 13】

수신된 오에프디엠 비트 신호를 저장하여 출력하는 입력 버퍼 단계;

입력된 신호를 스케일 팩터로 나누어 출력하는 제 1연산단계;

입력된 데이터를 레딕스 알고리즘에 따라 각 스테이지마다 버터플라이 연산을 수행하여 출력하는 버터플라이 수행 단계;

입력된 각 스테이지마다 버터플라이 연산된 신호의 비트값을 상기 입력 버퍼 단계에 입력된 오에프디엠 신호의 비트 허용범위값 내로 조절하기 위한 나눗셈 인수인 스케일 팩터를 산출하는 스케일 검출 단계;

입력된 비트 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하여 출력하는 스케일 카운트 단계;

상기 입력 버퍼 단계 내지 스케일 카운트 단계를 설정된 스테이지가 될때까지 피드백하는 단계; 및

입력된 상기 스케일 검출 값과 상기 스케일 카운트 값을 통하여 설정된 스테이지의 마지막 스테이지에서 산출된 버터플라이 산출 값을 조절하여 출력하는 보상 단계;를 구비한 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 방법.

【청구항 14】

제 13항에 있어서,

상기 스케일 검출단계로부터 출력된 상기 스케일 팩터를 고려하여 버터플라이 연산을 수행할 수 있도록, 후 입력된 신호의 비트값을 상기 스케일 팩터로 나누어 산출된 값을 출력하도록 하는 제 1연산 단계;를 더 구비한 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 방법.

【청구항 15】

제 13항에 있어서,

상기 각 스테이지마다 버터플라이 수행단계로부터 출력된 신호를 저장하는 출력 버퍼 단계;

버터플라이 연산에 대한 설정된 스테이지 수에 도달할때까지 상기 출력 버퍼 단계에 의해 저장된 신호를 상기 입력 버퍼 단계로 피드백시키고, 상기 설정된 스테이지의 마지막 스테이지에서 산출된 신호는 상기 보상 단계로 출력하도록 하는 입/출력 제어 단계;를 더 구비한 것을 특징으로하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 방법.

【청구항 16】

제 15항에 있어서,

상기 버터 플라이 수행 단계에 레딕스-2를 적용할 경우,

상기 입/출력 제어 단계에서는 상기 입력 버퍼 단계에 오에프디엠 비트 신호를 8비트씩 입력하도록 하며 상기 스케일 검출 단계의 적용 비트를 12비트로 설정하도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 방법.

【청구항 17】

제 16항에 있어서,

상기 스케일 팩터 설정은 상기 버터 플라이 연산된 비트값이 8비트를 유지할 수 있도록, 상기 버터플라이 연산되어 출력된 비트 신호의 절대값이 1024 이상이면 4로, 512

이상이면 2로, 256 이면 1로 설정하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 방법.

【청구항 18】

제 17항에 있어서,

상기 스케일 카운트 단계는 입력된 스케일 팩터에 대응되는 카운트 계수를 누적 카운트하는데 있어서 상기 스케일 팩터가 4이면 4가, 2이면 2가, 1이면 0이 적용되도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 방법.

【청구항 19】

제 13항에 있어서,

상기 보상 단계는 상기 버터플라이 연산에 대하여 설정된 스테이지 수와, 상기 스케일 카운트 단계로부터 입력된 값의 차이 만큼 상기 입력 버퍼 단계에 입력된 신호의 비트값을 보상하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 퓨리에 변환 방법.

【청구항 20】

제 19항에 있어서,

상기 파워 보상 단계는 상기 설정된 스테이지의 마지막 스테이지에서 버터플라이 연산되어 입력된 신호의 비트값을, 상기 마지막 스테이지에서 산출된 스케일 팩터로 나누어 출력하는 제 2연산 단계;

입력된 상기 스테이지 수와 상기 스케일 카운트값을 비교하여 차이값을 산출하고, 상기 스테이지수와 상기 스케일 카운트값을 비교하여 상기 스테이지 수가 크면 제산, 상

기 스케일 카운트값이 크면 승산 연산을 선택하여 출력하도록 하는 제/승 선택 단계;

상기 제/승 선택 단계로부터 출력된 상기 차이값을 2로 나누어 몫(Q)과 나머지(R)를 산출하여 출력하는 계수 산출단계;

입력된 제/승 선택 데이터가 제산 연산을 하도록 하면 상기 제 2연산 단계로부터 입력된 신호의 비트값을 2^e 로 나누고, 승산 연산을 하도록 하면 2^e 로 곱하여 산출한 값을 출력하도록 하는 제/승 산출 단계;

입력된 상기 제/승 산출값 및 상기 나머지(R)에 따라 상기 제/승 산출값을 보상하여 출력하도록 하는 비트 보상 단계;

입력된 데이터를 합산하여 출력하는 데이터 가산 단계;를 구비한 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 방법.

【청구항 21】

제 20항에 있어서,

상기 비트 보상 단계에서는 상기 나머지(R)가 1이 아니면 상기 제/승 산출 단계로부터 출력된 값을 그대로 출력하도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 방법.

【청구항 22】

제 20항에 있어서,

상기 비트 보상 단계에서는 상기 나머지(R)가 1이면서 제산 연산을 수행하도록하면 상기 제/승 산출 단계로부터 출력된 값에 각각 1/2, 1/8, 1/16, 1/64을 곱하여 출력하

도록 하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 방법.

【청구항 23】

제 20항에 있어서,

상기 비트 보상 단계에서는 상기 나머지(R)가 1이면서 승산 연산을 수행하도록하면
상기 제/승 산출 단계로부터 출력된 값에 각각 1, 1/4, 1/8, 1/32을 곱하여 출력하도록
하는 것을 특징으로 하는 오에프디엠 출력 비트 신호 보상을 위한 고속 푸리에 변환 방법.

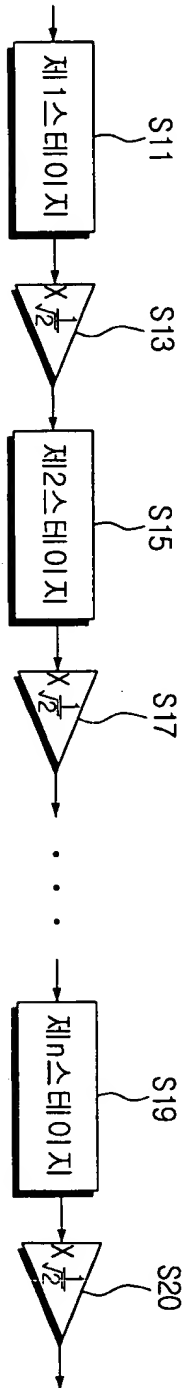
【청구항 24】

제 20항에 있어서,

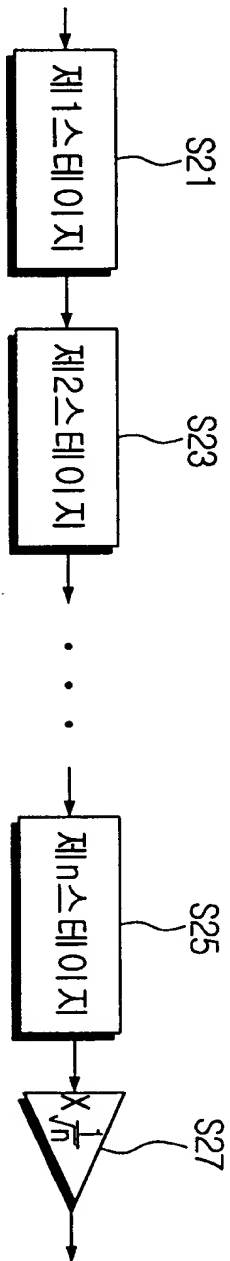
상기 데이터 가산 단계에서는 상기 비트 보상 단계로부터 각각 입력된 네개의 값을
합산하여 상기 입력된 신호의 비트를 보상하도록 하는 특징으로하는 오에프디엠 출력
비트 신호 보상을 위한 고속 푸리에 변환 방법.

【도면】

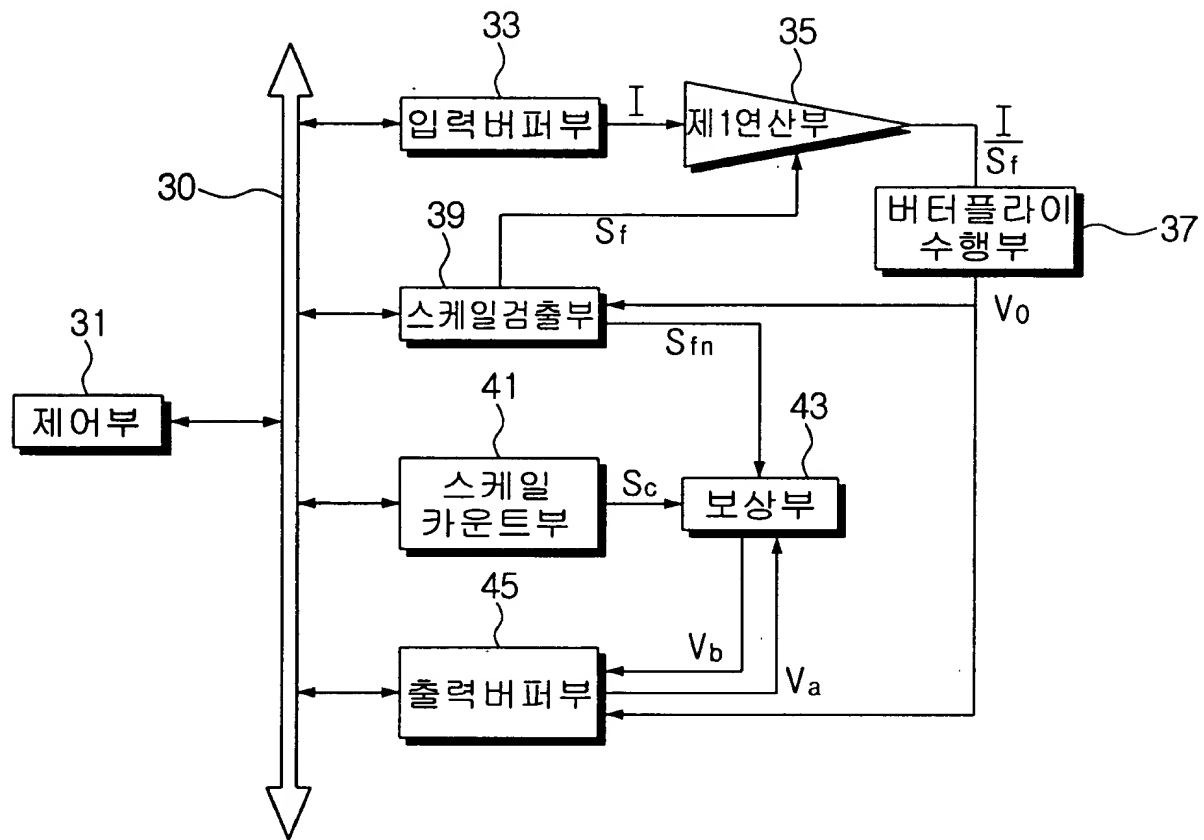
【도 1a】



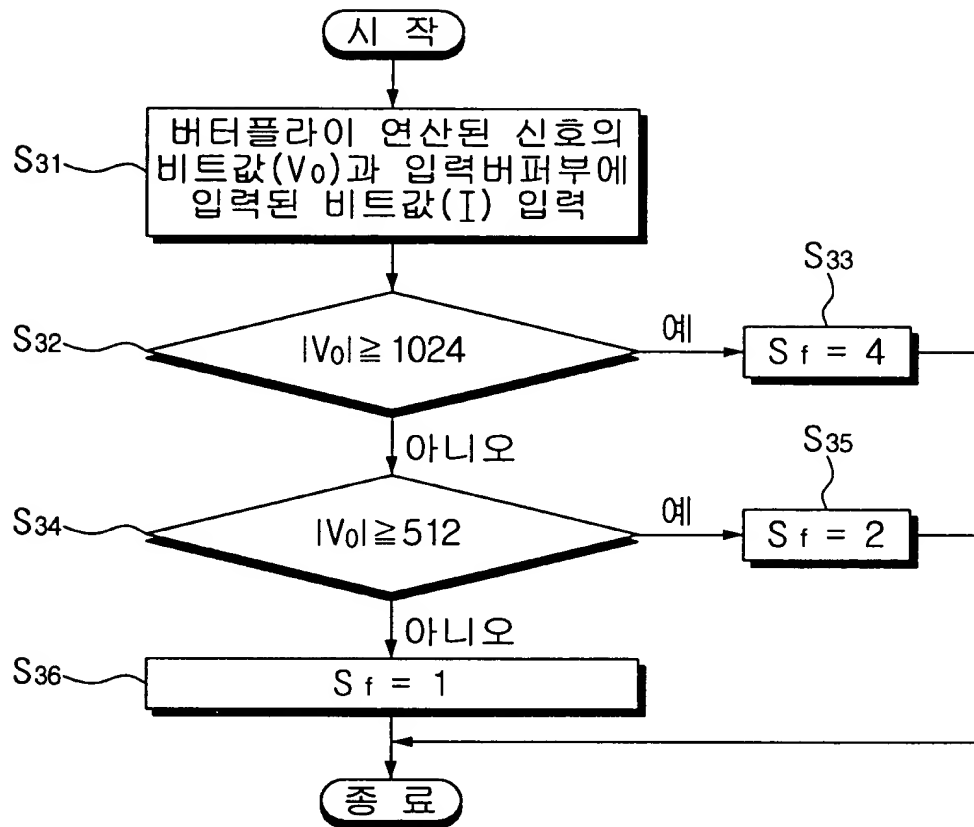
【도 1b】



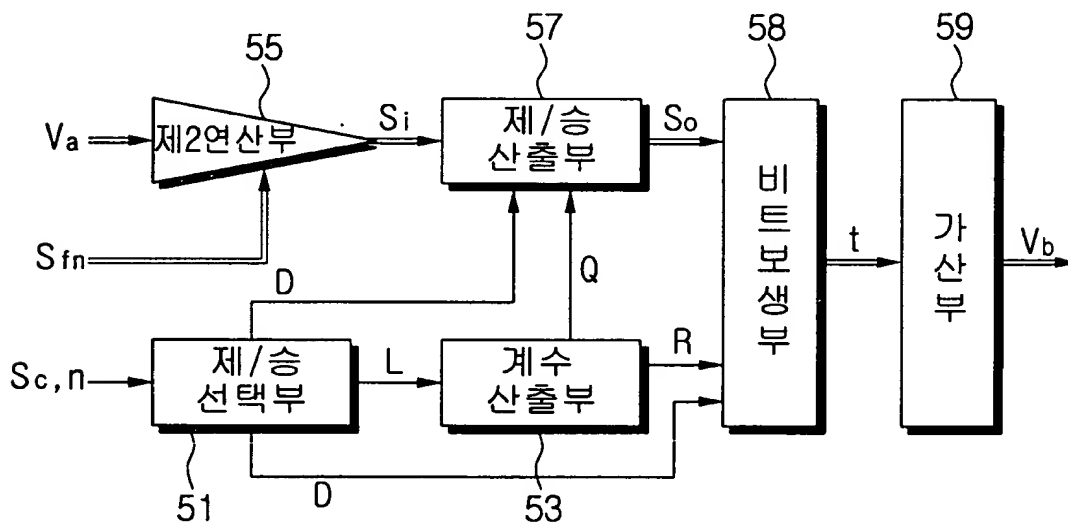
【도 2】



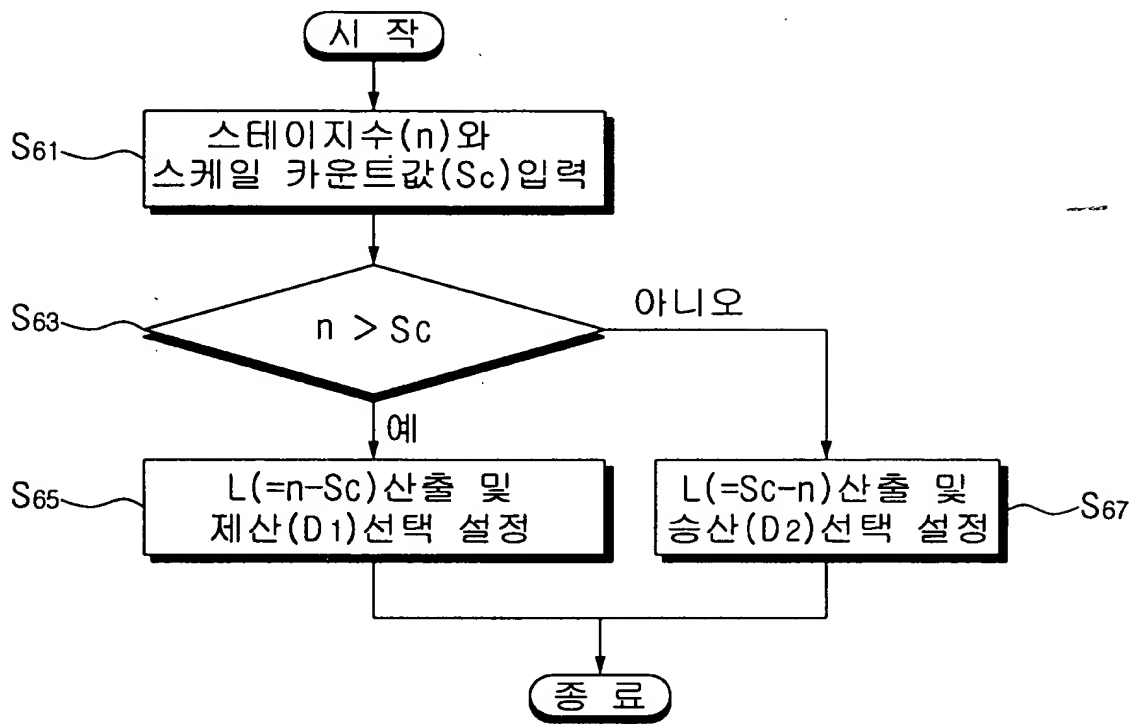
【도 3】



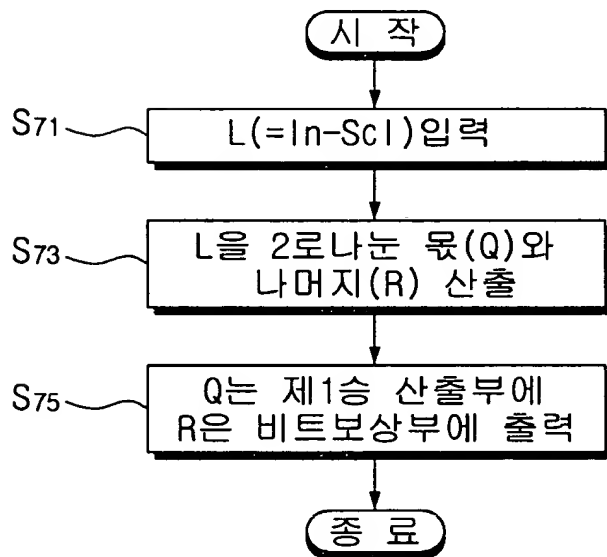
【도 4】



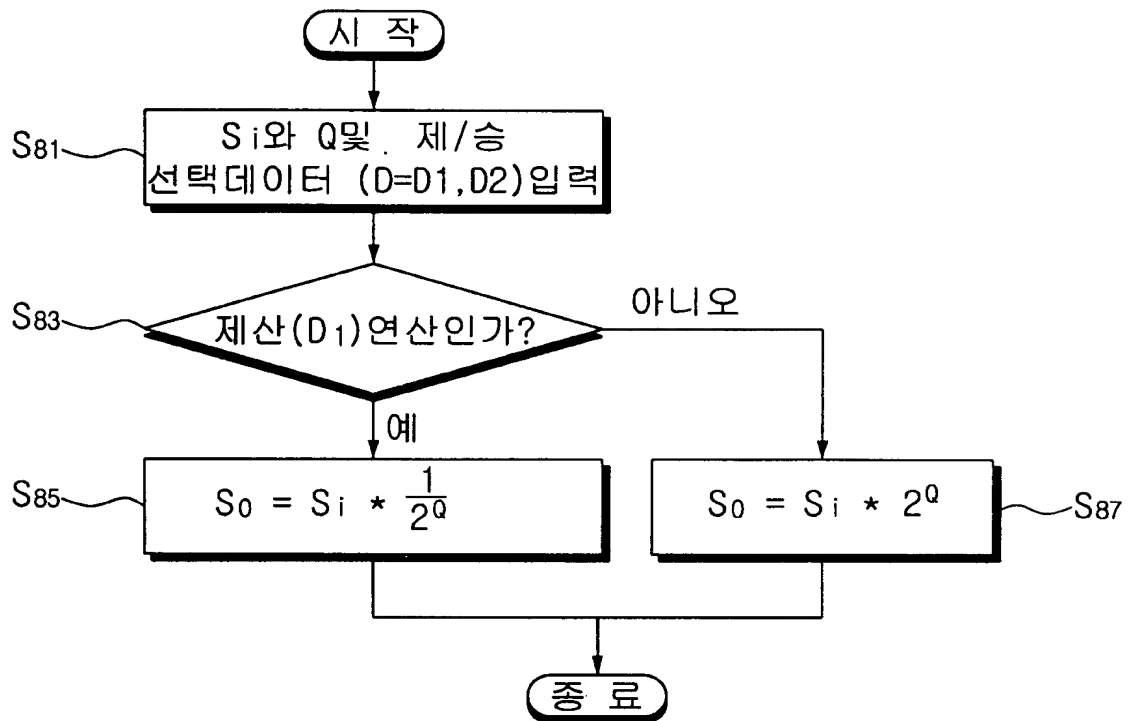
【도 5】



【도 6】



【도 7】



【도 8】

